

**SEMICONDUCTOR DEVICE**

**Publication number:** JP2003163267

**Publication date:** 2003-06-06

**Inventor:** GOI YOICHI

**Applicant:** MITSUBISHI ELECTRIC CORP

**Classification:**

- international: H01L23/52; H01L21/3205; H01L21/82; H01L21/822; H01L27/04; H01L23/52; H01L21/02; H01L21/70; H01L27/04(C-1-7); H01L21/82; H01L21/3205; H01L21/822; H01L27/04

- european:

**Application number:** JP20010363551 20011129

**Priority number(s):** JP20010363551 20011129

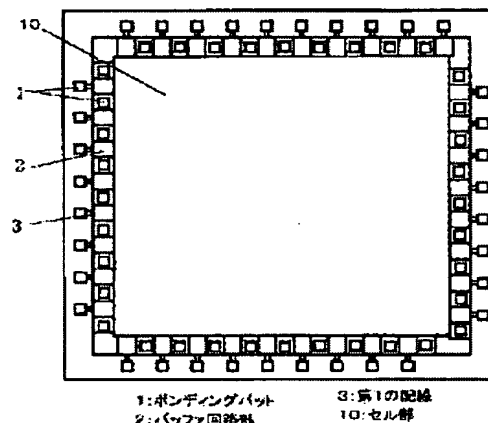
**Report a data error here**

### Abstract of JP2003163267

**PROBLEM TO BE SOLVED:** To provide a semiconductor device capable of improving reliability by coping with a narrow pitch of a bonding pad in the semiconductor device provided with a buffer circuit formed so as to surround a cell part.

**SOLUTION:** In the semiconductor device provided with the cell 10 and the buffer circuit 2 formed so as to surround the cell 10, a plurality of the bonding pads 1 are formed on the outer peripheral part of the buffer circuit 2 and the buffer circuit 2 respectively, and arranged on the outer peripheral part of the buffer circuit 2 and the buffer circuit 2 in zigzag respectively.

COPYRIGHT: (C)2003.JPO



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-163267

(P2003-163267A)

(43)公開日 平成15年6月6日(2003.6.6)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/82  
21/3205  
21/822  
27/04

H 0 1 L 21/82  
21/88  
27/04

P 5 F 0 3 3  
T 5 F 0 3 8  
E 5 F 0 6 4

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願2001-363551(P2001-363551)

(22)出願日 平成13年11月29日(2001.11.29)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 五井 陽一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100093562

弁理士 児玉 俊英 (外3名)

Fターム(参考) 5F033 VV04 VV05 VV07

5F038 CA05 CA06 CA10 EZ08 EZ20

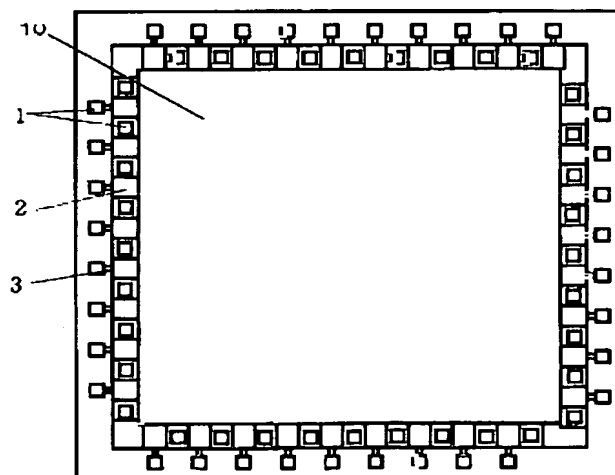
5F064 DD32 DD42 DD43

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 セル部を囲むように形成されたバッファ回路を備えた半導体装置において、ボンディングパッドの狭ピッチ化に対応し、信頼性を向上することができる半導体装置を得ることを目的とする。

【解決手段】 セル部10と、セル部10を囲むように形成されたバッファ回路部2とを備えた半導体装置において、複数のボンディングパッド1は、バッファ回路部2の外周部上、および、バッファ回路部2上にそれぞれ形成され、バッファ回路部2の外周部上、および、バッファ回路部2上に、千鳥状に配置されたものである。



1:ボンディングパッド  
2:バッファ回路部

3:第1の配線  
10:セル部

【特許請求の範囲】

【請求項1】 セル部と、上記セル部を囲むように形成されたバッファ回路部とを備え、複数のボンディングパッドは、上記バッファ回路部の外周部上または／および内周部上、および、上記バッファ回路部にそれぞれ形成されたことを特徴とする半導体装置。

【請求項2】 複数のボンディングパッドは、バッファ回路部の外周部上または／および内周部上、および、上記バッファ回路部に、千鳥状に配置されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】 バッファ回路部に電源配線と接地配線とを形成する場合、上記バッファ回路部に形成されたボンディングパッドを挟んで形成することを特徴とする請求項1または請求項2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ボンディングパッドを備えた半導体装置に関し、特に、狭ピッチ化に対応し、信頼性を向上することができるものである。

【0002】

【従来の技術】図9は従来の半導体装置の構成を示す平面図、図10は図9に示した半導体装置の一部を拡大した部分拡大図、図11は図10のA-A線断面を示す断面図である。図において、20はセル部、12はこのセル部20を囲むように形成されたバッファ回路部、11はこのバッファ回路部12の外周を囲むように千鳥状に配設されたボンディングパッド、13はこのボンディングパッド11とバッファ回路部12とを接続するための第1の配線で、バッファ回路部12とボンディングパッド11とが別層にて形成されているため、接続部13a（図11参照）を有している。14はバッファ回路部12とセル部20とを接続するための第2の配線である。

【0003】上記のように構成された従来の半導体装置は、ボンディングパッド11が狭ピッチになっているため、バッファ回路部12の外周を囲むように千鳥状にボンディングパッド11を配置し、狭ピッチに対応している。

【0004】

【発明が解決しようとする課題】従来の半導体装置は上記のように構成され、バッファ回路部の外周において千鳥状にボンディングパッドを形成しているが、更に狭ピッチ化が進んでおり、隣接するボンディングパッド間のマージンがなくなるといった問題点があった。

【0005】また、現時点においても、隣接するボンディングパッド間に、ボンディングパッドとバッファ回路部とを接続する第1の配線が形成されており、配線の幅を十分に確保することができず信頼性が低下するという問題点があった。

【0006】この発明は、上記のような問題点を解消するためになされたもので、隣接するボンディングパッド

間の間隔を確保し、信頼性が向上する半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明に係る請求項1の半導体装置は、セル部と、セル部を囲むように形成されたバッファ回路部とを備え、複数のボンディングパッドは、バッファ回路部の外周部上または／および内周部上、および、バッファ回路部にそれぞれ形成されたものである。

【0008】また、この発明に係る請求項2の半導体装置は、請求項1において、複数のボンディングパッドは、バッファ回路部の外周部上または／および内周部上、および、バッファ回路部に、千鳥状に配置されたものである。

【0009】また、この発明に係る請求項3の半導体装置は、請求項1または請求項2において、バッファ回路部に電源配線と接地配線とを形成する場合、バッファ回路部に形成されたボンディングパッドを挟んで形成するものである。

【0010】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1である半導体装置の構成を示す平面図、図2は図1に示した半導体装置の一部を拡大した部分拡大図、図3は図2のA-A線断面を示す断面図である。図において、10はセル部、2はこのセル部10を囲むように形成されたバッファ回路部、1はこのバッファ回路部2の外周部上およびバッファ回路部2上にそれぞれ形成された複数のボンディングパッドで、バッファ回路部2の外周部上およびバッファ回路部2上に、千鳥状に配設されている。

【0011】3はこのボンディングパッド1とバッファ回路部2とを接続するための第1の配線で、バッファ回路部2とボンディングパッド1とが別層にて形成されているため、接続部3a（図3参照）を有している。4はバッファ回路部2とセル部10とを接続するための第2の配線である。

【0012】上記のように構成された実施の形態1の半導体装置のボンディングパッド1のうち、バッファ回路部2の外周部上に形成されているものは従来と同様に（図10と同様の構成）形成されている。また、バッファ回路部2上に形成されているボンディングパッド3は図3に示すように、接続部3aを介してバッファ回路部2と接続するように形成されている。

【0013】上記のように構成された実施の形態1の半導体装置は、ボンディングパッドがバッファ回路部の外周部上と、バッファ回路部上に形成されているため、狭ピッチ化となっても、隣接するボンディングパッド間の間隔を十分に確保することができる。このため、ボンディングパッドが狭ピッチ化になったとしても十分にマージンを確保することができる。また、ボンディングパ

ッド間に形成されるボンディングパッドとバッファ回路部とを接続する第1の配線の配線幅も十分に確保することができ、信頼性の高い半導体装置を得ることができる。

【0014】また、図10と図3とを比較しても判るように、ボンディングパッドをバッファ回路部に形成することにより工程を増やしたり、または、工程が複雑になるというようなことが生じない。

【0015】尚、上記実施の形態1においては、バッファ回路部の外周部にボンディングパッドを形成する例を示したが、これに限られることはなく、例えば図4および図5に示すように、バッファ回路部の内周部にボンディングパッドを形成する場合にも対応できる。この場合、バッファ回路部の内周部上と、バッファ回路部上にそれぞれボンディングパッドを形成し、バッファ回路部の内周部上、および、バッファ回路部上に、千鳥状に配置すれば上記実施の形態1と同様の効果を奏することはいふまでもない。

【0016】実施の形態2. 図6はこの発明の実施の形態2である半導体装置の構成を示す平面図、図7は図6に示した半導体装置の一部を拡大した部分拡大図、図8は図7のA-A線断面を示す断面図である。この実施の形態2においては、バッファ回路部2上に電源配線と接地配線とを備え、各配線がボンディングパッドと接続するものを例に説明する。

【0017】図において、上記実施の形態1と同様の部分は同一符号を付して説明を省略する。5はバッファ回路部2上に形成された電源配線、6はバッファ回路部2上に形成された接地配線、各配線5、6はバッファ回路部2上に形成されたボンディングパッド1を挟んで形成されている。8はボンディングパッド1と電源配線5とを接続するための第3の配線、7はボンディングパッド1と接地配線6とを接続するための第4の配線である。

【0018】尚、図8に示すように、接地配線6とボンディングパッド1とは同一層にて形成されている。また、電源配線5とボンディングパッド1とも同一層にて形成されているものである。

【0019】上記のように構成された実施の形態2の半導体装置のボンディングパッド1のうち、バッファ回路部2の外周部に形成されているものは従来と同様に（図10と同様の構成）形成されている。また、バッファ回路部2上に形成されているボンディングパッド3は図8に示すように、接地配線6または電源配線5と接続するように形成されている。

【0020】上記のように構成された実施の形態2の半導体装置は、ボンディングパッドがバッファ回路部の外周部上と、バッファ回路部上に形成されているため、狭ピッチ化になっても、隣接するボンディングパッド間の間隔を十分に確保することができる。このため、ボンディングパッドが狭ピッチ化になったとしても十分にマ

ージンを確保することができる。

【0021】また、ボンディングパッド間に形成されるボンディングパッドとバッファ回路部とを接続する第1の配線、ボンディングパッドと電源配線とを接続する第4の配線、ボンディングパッドと接地配線とを接続する第3の配線の各配線幅も十分に確保することができ、信頼性の高い半導体装置を得ることができる。

【0022】

【発明の効果】以上のように、この発明の請求項1によれば、セル部と、セル部を囲むように形成されたバッファ回路部とを備え、複数のボンディングパッドは、バッファ回路部の外周部上または／および内周部上、および、バッファ回路部上にそれぞれ形成されたので、隣接するボンディングパッド間の間隔を広く確保することができる半導体装置を提供することが可能となる。

【0023】また、この発明の請求項2によれば、請求項1において、複数のボンディングパッドは、バッファ回路部の外周部上または／および内周部上、および、バッファ回路部上に、千鳥状に配置されているので、隣接するボンディングパッド間の間隔を確実に広く確保することができる半導体装置を提供することが可能となる。

【0024】また、この発明の請求項3によれば、請求項1または請求項2において、バッファ回路部上に電源配線と接地配線とを形成する場合、バッファ回路部上に形成されたボンディングパッドを挟んで形成するので、電源配線および接地配線とボンディングパッドとの接続を容易に行うことができる半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における半導体装置の構成を示す平面図である。

【図2】 図1に示した半導体装置の一部を拡大した部分拡大平面図である。

【図3】 図2に示した半導体装置のA-A線断面を示す断面図である。

【図4】 この発明の実施の形態1における他の半導体装置の構成を示す平面図である。

【図5】 図4に示した半導体装置の一部を拡大した部分拡大平面図である。

【図6】 この発明の実施の形態2における半導体装置の構成を示す平面図である。

【図7】 図6に示した半導体装置の一部を拡大した部分拡大平面図である。

【図8】 図7に示した半導体装置のA-A線断面を示す断面図である。

【図9】 従来の半導体装置の構成を示す平面図である。

【図10】 図9に示した半導体装置の一部を拡大した部分拡大平面図である。

【図11】 図10に示した半導体装置のA-A線断面

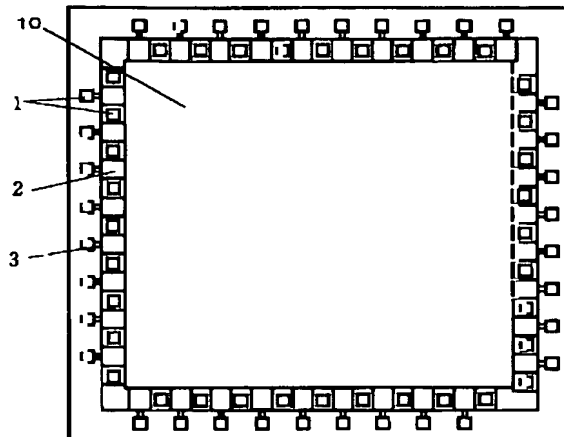
を示す断面図である。

【符号の説明】

1 ボンディングパッド、2 バッファ回路部、3 第

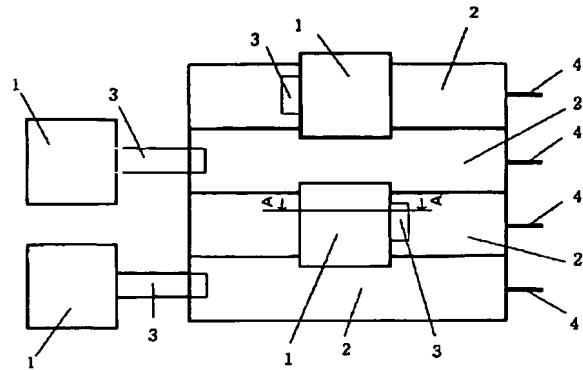
1の配線、5 電源配線、6 接地配線、10 セル部。

【図1】

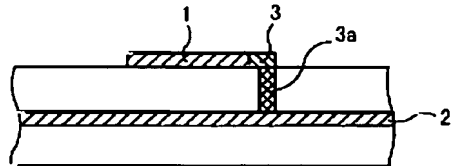


1:ボンディングパッド 3:第1の配線  
2:バッファ回路部 10:セル部

【図2】

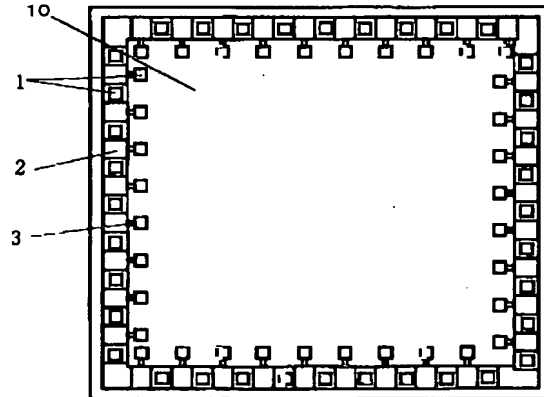


【図3】

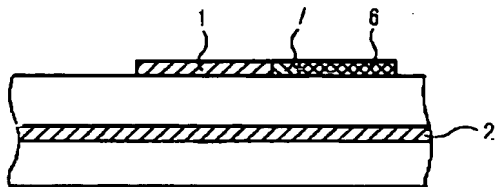


3a:接続部

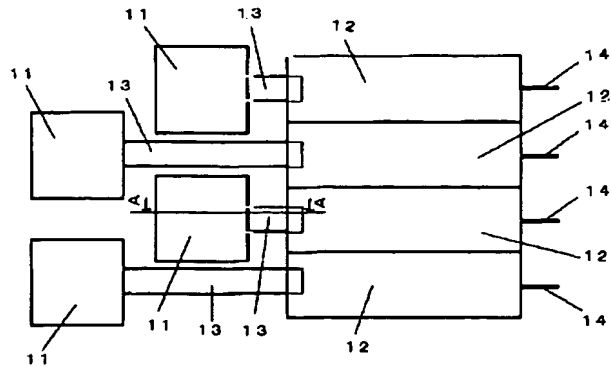
【図4】



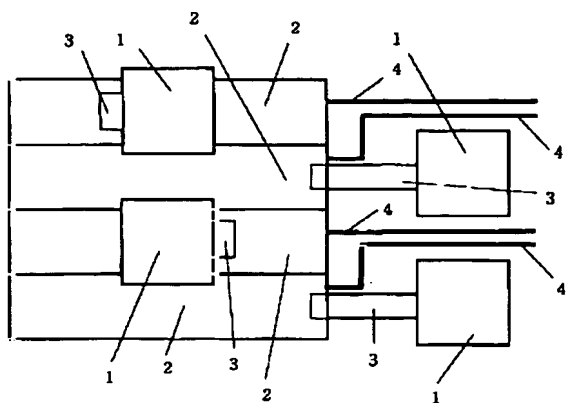
【図8】



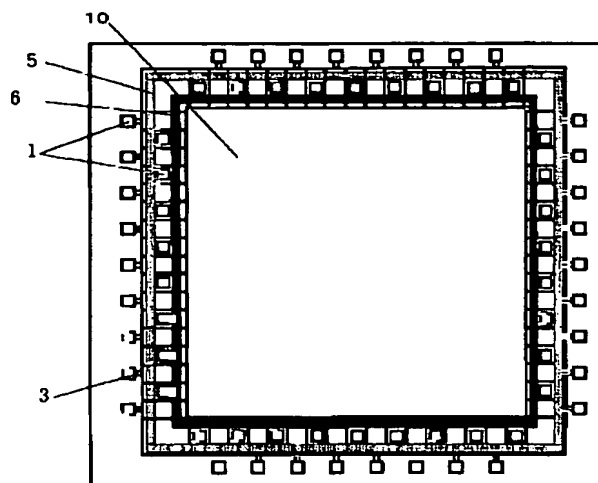
【図10】



【図5】

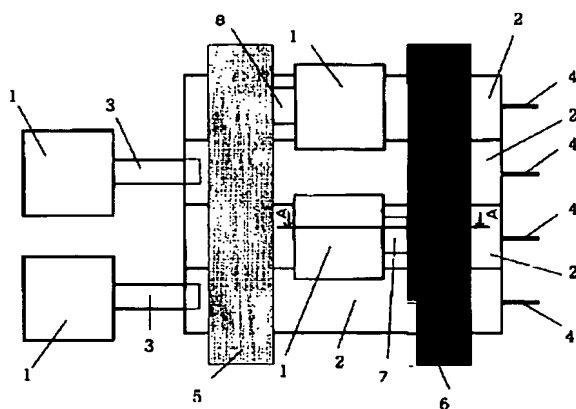


【図6】

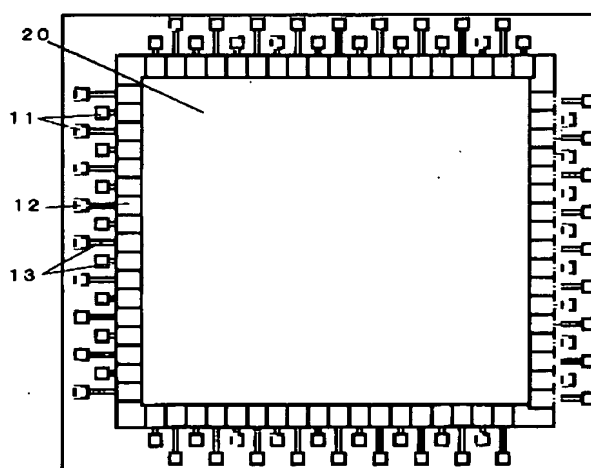


5: 電源配線  
6: 接地配線

【図7】



【図9】



【図11】

